

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開平11-67806

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 21/60 3 0 1

21/607

F I

H 0 1 L 21/60

3 0 1 B

3 0 1 D

3 0 1 K

B

21/607

審査請求 未請求 請求項の数 3 OL (全 7 頁)

(21) 出願番号 特願平9-228331

(22) 出願日 平成9年(1997) 8月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 坪野谷 誠

大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

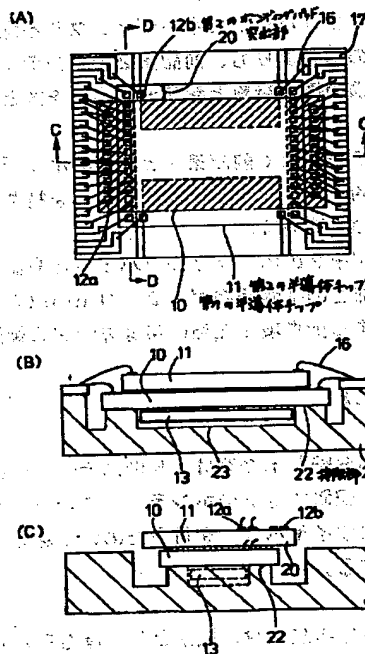
BEST AVAILABLE COPY

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 加熱ステージの接触部分からは離れた箇所に位置するパッドに対しては、接着エネルギーを選択的に増大することにより、ワイヤボンディング工程を簡素化する。

【解決手段】 アイランド13上に第1の半導体チップ10を固着し、第1の半導体チップ10の上に第2の半導体チップ11を固着する。第2の半導体チップ11には第1の半導体チップ10からはみ出る突出部20を持つ。加熱ステージ21上に両チップを設置し、接触部22上に位置する第1のボンディングパッド12aには通常のプログラムで、突出部20に位置する第2のボンディングパッド12bにはエネルギー量を増大したプログラムでワイヤボンディングする。



【特許請求の範囲】

【請求項1】 外部接続用のボンディングパッドを形成した半導体チップを加熱ステージ上に設置し、前記ボンディングパッドの表面にキャピラリを用いてワイヤボンディングを行う半導体装置の製造方法であって、前記加熱ステージの接触部の上方に位置する第1のボンディングパッドと、前記加熱ステージの接触部分が位置しない箇所の上部に位置する第2のボンディングパッドとを有し、
前記第1のボンディングパッドにワイヤボンドする際の衝撃荷重とワイヤに与える超音波出力に比べて、前記第2のボンディングパッドにワイヤボンドする際の衝撃荷重とワイヤに与える超音波の出力が大であることを特徴とする半導体装置の製造方法。

【請求項2】 アイランドの上に固着した第1の半導体チップと、
前記第1の半導体チップの上に固着した、前記第1の半導体チップより大きさがはみ出る突出部を有する第2の半導体チップと、
前記第1の半導体チップの裏面側に接触する、加熱ステージの接触部と、
前記第1及び第2の半導体チップの、前記加熱ステージの接触部の上部に位置する第1のボンディングパッドと、
前記第2の半導体チップの突出部に位置する第2のボンディングパッドと、
前記第1と第2の半導体チップの周囲に先端を近接する複数の外部接続リードとを具備し、
ワイヤを前記ボンディングパッドの表面にファーストボンドし、前記外部接続リードの表面にセカンドボンドする半導体装置の製造方法であって、
前記第1のボンディングパッドにボンディングする際の衝撃荷重と超音波の出力よりも、前記第2のボンディングパッドに与える際の衝撃荷重と超音波の出力を大とし、
共通の前記加熱ステージ上で前記第1と第2のボンディングパッドに連続的にワイヤボンドを行うことを特徴とする、半導体装置の製造方法。

【請求項3】 前記第2のボンディングパッドと前記加熱ステージの接触部との離間距離が、2.0mm以内であることを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、加熱ステージの接触可能エリアの上に配置できないボンディングパッドを含む半導体チップにワイヤボンドを行うための半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の封止技術として最も普及し

ているのが、図6(A)に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するトランスファーモールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンドし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンドし、所望の外形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】 一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。そこで、以前から発想としては存在していた（例えば、特開昭55-11517号）、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6(B)に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

【0004】

【発明が解決しようとする課題】 しかしながら、回路機能の組み合わせによっては半導体チップの形状が都合の良い組み合わせになるとは限らない場合が生じる。都合良くする為だけにチップを新規設計すれば新たなコストアップにつながる。図7は今回本願発明者が収納しようとした、都合の悪い組み合わせを示している。第1の半導体チップ1aが長方形を有し、第2の半導体チップ1bは第1の半導体チップ1aの短辺よりは長い辺だけで構成する長方形を有している。この様な組み合わせであると、第1の半導体チップ1aのボンディングパッドを隠さないように重ねることは可能であるが、第2の半導体チップ1bの一部が第1の半導体チップ1aからどうしてもはみ出してしまふ。これははみ出た部分（突出部6）は、アイランド3又は第1の半導体チップ1aの支持がないので、ワイヤボンド工程において突出部6上のボンディングパッドにワイヤを打つと接合エネルギーを十分に伝達できずボールの接着強度が不十分になる問題点がある。

【0005】

【課題を解決するための手段】 本発明は上述した従来の課題に鑑み成されたもので、第1の半導体チップを支持し第2の半導体チップの突出部を支持しない加熱ステージを準備し、該加熱ステージ上でワイヤボンドを行う際に、加熱ステージ上に位置する第1のボンディングワイヤに与える衝撃荷重と接合エネルギーに比べて、前記突出部に位置する第2のボンディングパッドに与える衝撃荷重と接合エネルギーを大とすることにより、一連の作業でワイヤボンドを行うことが可能な、半導体装置の製

造方法を提供するものである。

【0006】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。最初に、完成後の半導体装置について説明する。まず、図4(A)(B)は本発明の完成後の半導体装置を示す(A)上面図と(B)裏面図、図5(A)は図4(A)のAA線断面図、図5(B)は図4(A)のBB線断面図である。

【0007】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11の相対向する2辺には外部接続用のボンディングパッド12が形成されている。各ボンディングパッド12を被覆するようにシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜(図示せず)が形成され、ボンディングパッド12の上部は電気接続のために選択的に開口されている。

【0008】第1の半導体チップ10はリードフレームのアイランド13上にエポキシ系の導電又は絶縁性の接着剤14によりダイボンドされ、更に第2の半導体チップ11は第1の半導体チップ10の前記パッシベーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。各半導体チップ10、11表面のボンディングパッド12の表面には、金線等のボンディングワイヤ16の一端がワイヤボンドされており、ボンディングワイヤ16の他端は外部導出用のリード端子17の先端部にワイヤボンドされている。

【0009】第1と第2の半導体チップ10、11、リード端子17の先端部、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出される。図5(A)を参照して、リード17から上側の樹脂厚みt1と下側の樹脂厚みt2とはほぼ同等の厚みである。そして、樹脂18の外部に導出されたリード端子17は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子17の裏面側の固着部分をプリント基板に形成した導電パターンに対向接着する、表面実装用途のための形状である。

【0010】この半導体装置は、まずリードフレームの状態アイランド13の4隅に設けた保持用タイバー19に段付け加工を施すことにより、アイランド13の高さとリード端子17の先端部との高さを異ならしめておき、アイランド13に第1と第2の半導体チップ10、11をダイボンドし、ボンディングパッド12とリード端子17の先端部とをワイヤボンドし、次いでアイランド13の裏面が上下金型に設けたキャビティの表面に接触するように、リードフレームの枠体とリード端子17

を上下金型で挟み固定し、斯る状態で樹脂を注入、硬化させることにより得ることができる。

【0011】前記リードフレームは、板厚が150~200μmの銅系または鉄系の板状素材をエッチング又はパンチング加工することによりアイランド13、リード端子17等の各パーツを成形したもので、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子17の先端部と前記枠体とは高さが一致しており、アイランド13だけが段付け加工されて高さが異なる。その為完成後の装置ではアイランド13を保持するタイバー19は樹脂18内部で上方に折り曲げられ、リード14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂18表面に切断面が露出して終端する。

【0012】各半導体チップ10、11は、組立工程直前にバックグラインド工程により裏面を研磨して250~300μmの厚みにしている。リード端子17の板厚

(図5(A)の図示t3)は約130μmである。板状材料から同時に形成するのでアイランド13の板厚も同じ値であり、この値は各パーツの機械的強度を保つほぼ限界の値である。

【0013】アイランド13は、第1の半導体チップ10より小さく、第1の半導体チップ10の中心部分だけを支持している。アイランド13を支持するダイバー19は、第2の半導体チップ11を迂回できるだけ水平方向に延在し、上述したように樹脂18内部に向かって折り曲げられる。アイランド13裏面は樹脂18の表面に露出しており、タイバー19の前記迂回して延在する部分も裏面が露出されている。

【0014】第1の半導体チップ10は、例えば長辺×短辺が3.0mm×8.5mmの様な長方形の細長い形状を具備し、第2の半導体チップ11は、例えば5.6mm×6.5mmの様な、ほぼ正方形に近い形状を具備している。第2の半導体チップ11のどちらの辺も第1の半導体チップ10の短辺よりは長いので、重ねると第1の半導体チップ10よりはみ出す突出部20を持つ。第1と第2の半導体チップ10、11を逆にして重ねるとボンディングパッド12の一部が隠れるので、この大きさの例では、逆に重ねることはできない。アイランド13は、例えば2.0mm×4.0mm程度の大きさを有している。

【0015】以下に、上述した半導体装置のワイヤボンド工程を詳細に説明する。図1は、第1のワイヤボンド工程を説明するための(A)平面図、(B)CC線断面図、(C)DD線断面図である。まず、アイランド13上に導電性又は絶縁性の接着剤14を適宜量供給し、その上に第1の半導体チップ10を設置し、ベーキングにより接着剤14を固化して第1の半導体チップ10を固着し、次いで第1の半導体チップ10の上に絶縁性の接着剤15を適宜量供給し、その上に第2の半導体チップ

11を設置し、ベークングにより接着剤15を固化して第2の半導体チップ11を固定する。

【0016】次いで、各チップ10、11を固着したリードフレームを、加熱ステージ21上に位置合わせして設置する。加熱ステージ21には、リード端子17を支持する部分と第1の半導体チップ10を支持する部分とを具備する。これらの支持する部分の内、第1の半導体チップ10の裏面側に接触できる箇所を接触部22とする。アイランド13裏面は支持せず凹部23に逃がしている。第2の半導体チップ11を支持する部分もない。10尚、リードフレームやシリコンチップの端部に発生するバリを回避するために、加熱ステージ21の接触部22はリード端子17や第1の半導体チップ10の端部より少しだけ後退させている。

【0017】第1の半導体チップ10を支持する接触部22は、アイランド13とタイバー19を避けて図1

(A)の斜線で示した領域で第1の半導体チップ10の裏面に接触している。接触部22の上部には第1の半導体チップ10のボンディングパッド12と、第2の半導体チップ11のボンディングパッド12とが位置しており、この様に接触部22の上部に位置するボンディングパッド12を第1のボンディングパッド12aと定義する。対して、第2の半導体チップ11の突出部29に位置するボンディングパッド12は、接触部22が位置せず、その下部には空間が広がるだけである。このように、接触部22の上部に位置しないボンディングパッド12を第2のボンディングパッド12bと定義する。20

【0018】そして、加熱ステージ21を200℃以上に加熱すると共に、ボンディングパッド12側に1sのボンドを、リード端子17側に2ndボンドを打つこと30でワイヤボンディング工程を行う。図2は、ワイヤボンディング工程において第2のボンディングパッド12bにワイヤボンドするときの状態を示す。(A)平面図、(B)断面図である。ワイヤボンドは、先ずキャピラリ24の中心の貫通孔に挿入した、直径が30φ(μm)程度の金ワイヤの先端を、スパーク等の手段で瞬間的に熔融させることにより直径70φ程度の金ボール25を形成し、キャピラリ24をX軸、Y軸方向に位置合わせして下降せしめ、キャピラリ24先端の金ボール25をキャピラリ24で押圧すると同時に、キャピラリ24を介して金40ボール25とボンディングパッド12bとの接触部分に超音波出力を与え、加熱ステージ21から供給される熱エネルギーとの相乗効果によって金ボール25をボンディングパッド12b表面に固着する。その後、キャピラリ24を上方に移動せしめ、所定の軌跡をもってリード端子17上に移動し、リード端子17上に押圧・接着すると共に、キャピラリ24の先端部分でワイヤを切断することにより行われる。

【0019】加熱ステージ21の接触部22上に位置する第1のボンディングパッド12aの場合、加熱された50

接触部22からの熱伝導が良好であるのでパッド12aは好適な温度に加熱され、且つ接触部22がキャピラリ24の押圧に対する受け部分として機能するので、金ボール25とパッド12aとの良好な接触を得ることができる。これに対して、加熱ステージ21の接触部22上に位置しない第2のボンディングパッド12bでは、接触部22から離れるので熱伝導が不足し、且つキャピラリ24の加圧に対する「支え」が無いので、キャピラリ24を介して伝達した接合エネルギーの大部分が逃げてしまい、金ボール25とボンディングパッド12bとの接着性が悪化する。

【0020】そこで本発明は、第2のボンディングパッドに関しては、前記加圧力の不足によって逃げる接合エネルギーを補うため、キャピラリ24の衝撃荷重を大きくしてキャピラリ24の着地時のイニシャルボール歪み速度を大きくすることと、立ち上がりの速い超音波発信形状を使用し第1のボンディングパッド12aに与えるパワーよりも意図的に増大させることで接合性の悪化を防止する。

【0021】キャピラリ24の出力パワーWは、チップやフレームに逃げるロス分を無視すると次式で表すことができる。

$$W = \mu P v \quad \dots \dots \dots (式1)$$

但し、 μ はボールとパッド間の摩擦係数、Pは加圧力、 v はキャピラリ24の振動速度で、振動速度 v は角周波数 ω ($\omega = 2\pi f$) と振動振幅 ξ との積 ($v = \omega \xi$) で表すことができる。よって、キャピラリ24が接合部分に与える接合エネルギーEは、出力パワーWの時間変化に対する積分量に等しくなる。

【0022】通常、キャピラリ24の衝撃荷重はボンディングパッド12下部近傍の半導体素子へのダメージに大きく影響するので、第1のボンディングパッド12aでは必要最小限になるようにコントロールしている。しかし、第2のボンディングパッド12bでは下部に「支え」が無いので、ワイヤ先端に形成した金ボール25(イニシャルボール)がパッド12b表面に着地してからのキャピラリ24の静荷重だけでは金ボール25の潰れ変形が不十分であり、この状態で出力パワーを加えてもロスが大きいため十分な接着ができない。そこで金ボール25の潰れ変形が十分となるように、第2のボンディングパッド12bへの衝撃荷重を第1のボンディングパッド12aのものより1.0～1.5%程度大きくしている。尚、衝撃荷重は、金ボール25を接触させる時のキャピラリ24の加圧力によってコントロールする。

【0023】更に図3を参照して、静荷重を加えた状態でキャピラリ24に印加する超音波発振の波形形状としては、第1のボンディングパッド12aには素子へのダメージを考慮して比較的緩やかな立ち上がりの波形でエネルギーを与えるが、第2のボンディングパッド12bには着地後速やかに最大振幅を印加するような波形の超

音波振動を与えることにより、同一時間内に与える接合エネルギーを増大している。エネルギー量の変更はワイヤボンディング装置のプログラムを変更することによって行い、第1のボンディングパッド12aをすべてワイヤボンディングした後に第2のボンディングパッド12bを行う、逆に第2のボンディングパッド12bを先にすべて済ませる、あるいはパッドの並び順にランダムに行う、等の変更が可能である。どの場合でも、第1と第2のボンディングパッド12a、12bは1つの加熱ステージ21上に置いた状態で行う。

【0024】尚、接触部22から第2のボンディングパッド12bの位置が遠くなるほど接着性が悪化するが、実験によれば、この距離(図2(A)の図示26)が概ね2.0mm以下であれば、エネルギーの変更だけで1回の処理が可能であることを確認した。以上説明したように、本発明は第2のボンディングパッド12bに加える衝撃荷重の増大とキャピラリ24に印加する接合エネルギーを増大することにより、第1と第2のボンディングパッド12a、12bを1つの加熱ステージ21で連続的に処理することが可能であるので、製造工程を簡素化できるものである。

【0025】

【発明の効果】以上に説明したように、本発明は第2のボンディングパッド12bに印加する接合エネルギーを選択的に増大することにより、第1と第2のボンディングパッド12a、12bを1つの加熱ステージ21で連続的に処理し、製造工程を簡素化できる利点を有する。

【0026】従って、突出部20を生じるような、特殊なチップの組み合わせであっても製造工程を煩雑化することなく比較的安価に製造できる利点を有する。しかも、ボンディング装置のプログラムを変更するだけで対応できるので、容易に実施できるものである。

【図面の簡単な説明】

【図1】本発明を説明するための(A)平面図、(B)CC線断面図、(C)DD線断面図である。

【図2】本発明を説明するための(A)平面図、(B)断面図である。

【図3】本発明を説明するための波形図である。

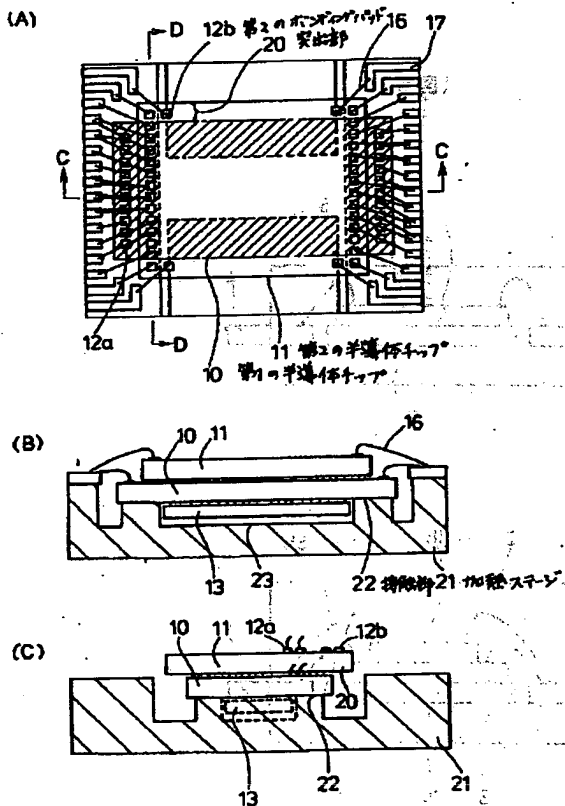
【図4】本発明を説明するための(A)上面図、(B)裏面図である。

【図5】本発明を説明するための断面図である。

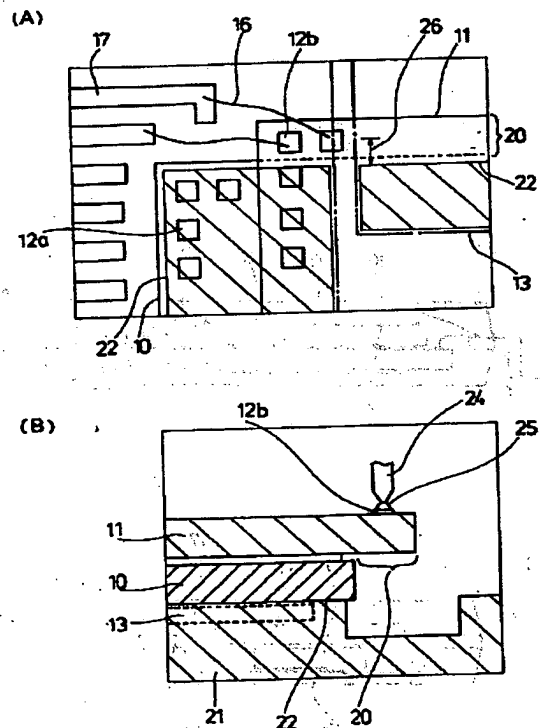
【図6】従来例を説明するための断面図である。

【図7】課題を説明するための断面図である。

【図1】



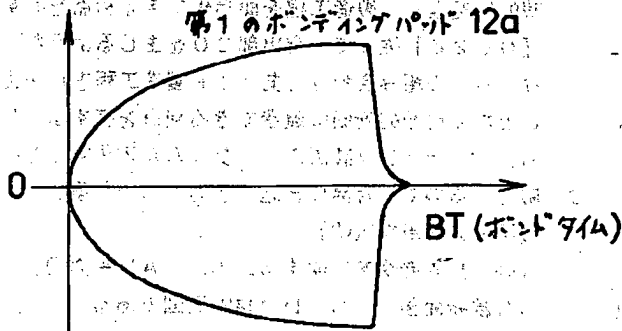
【図2】



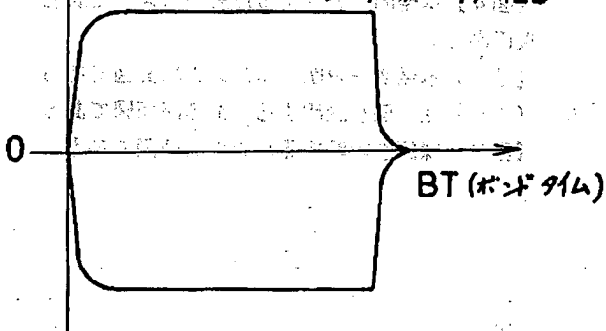
【図3】

BP(ボンドパッド)

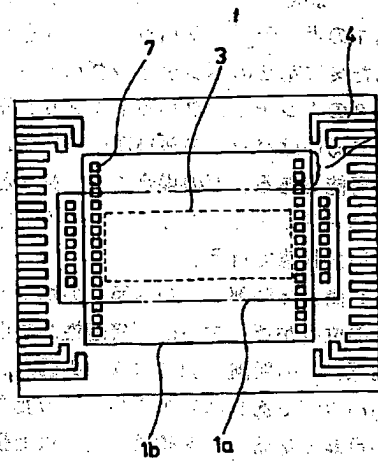
第1のボンディングパッド 12a



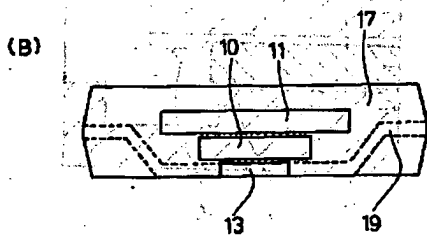
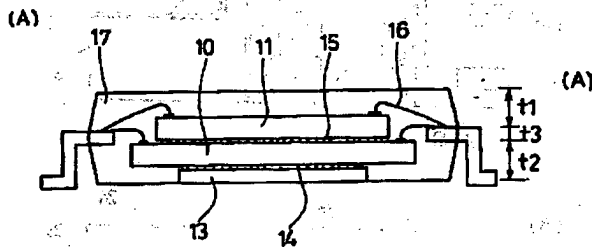
第2のボンディングパッド 12b



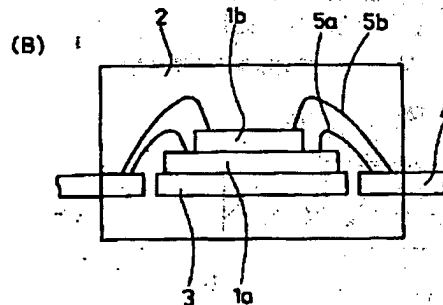
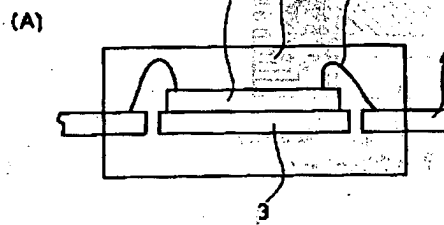
【図7】



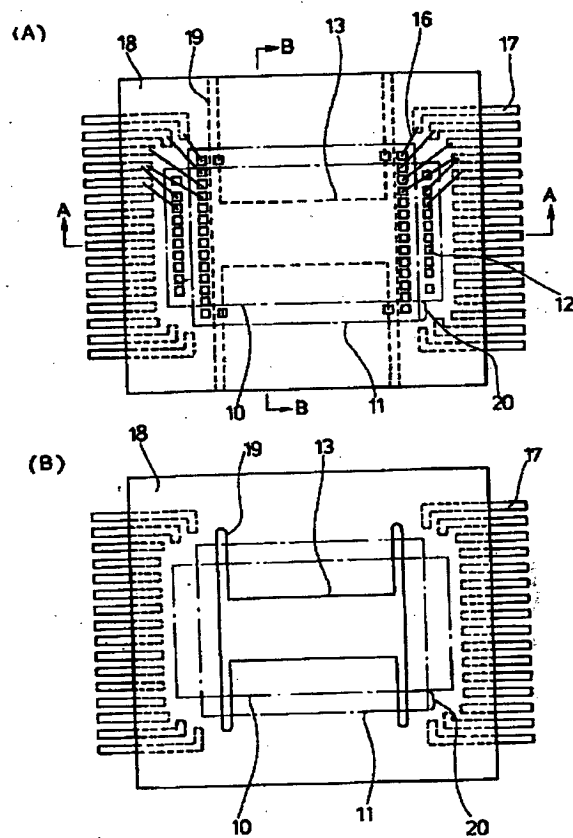
【図5】



【図6】



【図4】



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067806
 (43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/60
 H01L 21/607

(21)Application number : 09-228331
 (22)Date of filing : 25.08.1997

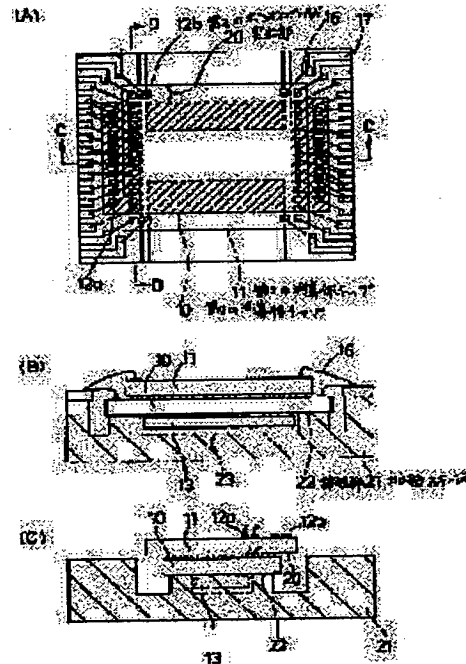
(71)Applicant : SANYO ELECTRIC CO LTD
 (72)Inventor : TSUBONoya MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a wire bonding process by selectively increasing attaching energy with respect to a pad located at a distance from a contact portion of a heating stage.

SOLUTION: A semiconductor chip 10 is fixed onto an island 13, and a second semiconductor chip 11 is fixed onto the first semiconductor chip 10. The second semiconductor chip 11 has an extended portion 20 extending from a part corresponding to the first semiconductor chip 10. The semiconductor chips 10 and 11 are mounted on a heating stage 21. First bonding pads 12a, positioned above a contact portion 22, are wire-bonded with a normal program, and second bonding pads 12b positioned on the extended portion 20 are wire-bonded with an increased energy-amount program.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

1954-1955

[illegible]

3061

[illegible]

... ..

[illegible]

THIS PAGE BLANK (USPTO)

1952 1953

© 2005 The Authors
Journal compilation © 2005 Blackwell Publishing Ltd

...and the

1997-1998, 1998-1999, 1999-2000, 2000-2001, 2001-2002, 2002-2003, 2003-2004, 2004-2005, 2005-2006, 2006-2007, 2007-2008, 2008-2009, 2009-2010, 2010-2011, 2011-2012, 2012-2013, 2013-2014, 2014-2015, 2015-2016, 2016-2017, 2017-2018, 2018-2019, 2019-2020, 2020-2021, 2021-2022, 2022-2023, 2023-2024, 2024-2025, 2025-2026, 2026-2027, 2027-2028, 2028-2029, 2029-2030, 2030-2031, 2031-2032, 2032-2033, 2033-2034, 2034-2035, 2035-2036, 2036-2037, 2037-2038, 2038-2039, 2039-2040, 2040-2041, 2041-2042, 2042-2043, 2043-2044, 2044-2045, 2045-2046, 2046-2047, 2047-2048, 2048-2049, 2049-2050, 2050-2051, 2051-2052, 2052-2053, 2053-2054, 2054-2055, 2055-2056, 2056-2057, 2057-2058, 2058-2059, 2059-2060, 2060-2061, 2061-2062, 2062-2063, 2063-2064, 2064-2065, 2065-2066, 2066-2067, 2067-2068, 2068-2069, 2069-2070, 2070-2071, 2071-2072, 2072-2073, 2073-2074, 2074-2075, 2075-2076, 2076-2077, 2077-2078, 2078-2079, 2079-2080, 2080-2081, 2081-2082, 2082-2083, 2083-2084, 2084-2085, 2085-2086, 2086-2087, 2087-2088, 2088-2089, 2089-2090, 2090-2091, 2091-2092, 2092-2093, 2093-2094, 2094-2095, 2095-2096, 2096-2097, 2097-2098, 2098-2099, 2099-2100, 2100-2101, 2101-2102, 2102-2103, 2103-2104, 2104-2105, 2105-2106, 2106-2107, 2107-2108, 2108-2109, 2109-2110, 2110-2111, 2111-2112, 2112-2113, 2113-2114, 2114-2115, 2115-2116, 2116-2117, 2117-2118, 2118-2119, 2119-2120, 2120-2121, 2121-2122, 2122-2123, 2123-2124, 2124-2125, 2125-2126, 2126-2127, 2127-2128, 2128-2129, 2129-2130, 2130-2131, 2131-2132, 2132-2133, 2133-2134, 2134-2135, 2135-2136, 2136-2137, 2137-2138, 2138-2139, 2139-2140, 2140-2141, 2141-2142, 2142-2143, 2143-2144, 2144-2145, 2145-2146, 2146-2147, 2147-2148, 2148-2149, 2149-2150, 2150-2151, 2151-2152, 2152-2153, 2153-2154, 2154-2155, 2155-2156, 2156-2157, 2157-2158, 2158-2159, 2159-2160, 2160-2161, 2161-2162, 2162-2163, 2163-2164, 2164-2165, 2165-2166, 2166-2167, 2167-2168, 2168-2169, 2169-2170, 2170-2171, 2171-2172, 2172-2173, 2173-2174, 2174-2175, 2175-2176, 2176-2177, 2177-2178, 2178-2179, 2179-2180, 2180-2181, 2181-2182, 2182-2183, 2183-2184, 2184-2185, 2185-2186, 2186-2187, 2187-2188, 2188-2189, 2189-2190, 2190-2191, 2191-2192, 2192-2193, 2193-2194, 2194-2195, 2195-2196, 2196-2197, 2197-2198, 2198-2199, 2199-2200, 2200-2201, 2201-2202, 2202-2203, 2203-2204, 2204-2205, 2205-2206, 2206-2207, 2207-2208, 2208-2209, 2209-2210, 2210-2211, 2211-2212, 2212-2213, 2213-2214, 2214-2215, 2215-2216, 2216-2217, 2217-2218, 2218-2219, 2219-2220, 2220-2221, 2221-2222, 2222-2223, 2223-2224, 2224-2225, 2225-2226, 2226-2227, 2227-2228, 2228-2229, 2229-2230, 2230-2231, 2231-2232, 2232-2233, 2233-2234, 2234-2235, 2235-2236, 2236-2237, 2237-2238, 2238-2239, 2239-2240, 2240-2241, 2241-2242, 2242-2243, 2243-2244, 2244-2245, 2245-2246, 2246-2247, 2247-2248, 2248-2249, 2249-2250, 2250-2251, 2251-2252, 2252-2253, 2253-2254, 2254-2255, 2255-2256, 2256-2257, 2257-2258, 2258-2259, 2259-2260, 2260-2261, 2261-2262, 2262-2263, 2263-2264, 2264-2265, 2265-2266, 2266-2267, 2267-2268, 2268-2269, 2269-2270, 2270-2271, 2271-2272, 2272-2273, 2273-2274, 2274-2275, 2275-2276, 2276-2277, 2277-2278, 2278-2279, 2279-2280, 2280-2281, 2281-2282, 2282-2283, 2283-2284, 2284-2285, 2285-2286, 2286-2287, 2287-2288, 2288-2289, 2289-2290, 2290-2291, 2291-2292, 2292-2293, 2293-2294, 2294-2295, 2295-2296, 2296-2297, 2297-2298, 2298-2299, 2299-2300, 2300-2301, 2301-2302, 2302-2303, 2303-2304, 2304-2305, 2305-2306, 2306-2307, 2307-2308, 2308-2309, 2309-2310, 2310-2311, 2311-2312, 2312-2313, 2313-2314, 2314-2315, 2315-2316, 2316-2317, 2317-2318, 2318-2319, 2319-2320, 2320-2321, 2321-2322, 2322-2323, 2323-2324, 2324-2325, 2325-2326, 2326-2327, 2327-2328, 2328-2329, 2329-2330, 2330-2331, 2331-2332, 2332-2333, 2333-2334, 2334-2335, 2335-2336, 2336-2337, 2337-2338, 2338-2339, 2339-2340, 2340-2341, 2341-2342, 2342-2343, 2343-2344, 2344-2345, 2345-2346, 2346-2347, 2347-2348, 2348-2349, 2349-2350, 2350-2351, 2351-2352, 2352-2353, 2353-2354, 2354-2355, 2355-2356, 2356-2357, 2357-2358, 2358-2359, 2359-2360, 2360-2361, 2361-2362, 2362-2363, 2363-2364, 2364-2365, 2365-2366, 2366-2367, 2367-2368, 2368-2369, 23

... ..

[illegible]

• *Journal of the American Medical Association*

continued on p. 9604

© 2005 Blackwell Publishing Ltd, *Journal of Internal Medicine* 258: 103–111

not have a major role in the development of the study.

1-27-94

1. *Agave americana* L.

[illegible]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor chip in which the bonding pad for external connection was formed is installed on a heating stage.

The 1st bonding pad which is the manufacture approach of a semiconductor device of using a capillary for the front face of said bonding pad, and performing wirebonding, and is located above the contact section of said heating stage. It has the 2nd bonding pad located in the upper part of the part in which the contact part of said heating stage is not located. The manufacture approach of the semiconductor device characterized by the output of the supersonic wave given to the impact load and wire at the time of carrying out wire bond to said 2nd bonding pad being size compared with the ultrasonic output given to the impact load and wire at the time of carrying out wire bond to said 1st bonding pad.

[Claim 2] The 1st semiconductor chip which fixed on the island, and the 2nd semiconductor chip which has the lobe which fixed on said 1st semiconductor chip, and which magnitude overflows from said 1st semiconductor chip, The contact section of a heating stage in contact with the rear-face side of said 1st semiconductor chip, The 1st bonding pad located in the upper part of the contact section of said heating stage of said 1st and 2nd semiconductor chips, The 2nd bonding pad located in the lobe of said 2nd semiconductor chip, Said 1st [the] and two or more external connection leads which approach the perimeter of the 2nd semiconductor chip in a tip are provided. It is the manufacture approach of the semiconductor device which carries out first bond of the wire to the front face of said bonding pad, and carries out second bond to the front face of said external connection lead. Rather than the impact load at the time of carrying out bonding to said 1st bonding pad, and the output of a supersonic wave The manufacture approach of a semiconductor device which makes size the impact load at the time of giving said 2nd bonding pad, and the output of a supersonic wave, and is characterized by performing wire bond to said the 1st and 2nd bonding pad continuously on said common heating stage.

[Claim 3] The manufacture approach of a semiconductor device according to claim 2 that clearance of said 2nd bonding pad and contact section of said heating stage is characterized by being less than 2.0mm.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semiconductor device for performing wire bond to the semiconductor chip containing the bonding pad which cannot be arranged on the area of a heating stage which can be contacted.

[0002]

[Description of the Prior Art] The transfer mold technique which closes the perimeter of the semiconductor chip 1 as shown in drawing 6 (A) with the thermosetting epoxy resin 2 has spread most as a closure technique of a semiconductor device. The leadframe is used as a support material of a semiconductor chip 1, die bond of the semiconductor chip 1 is carried out to the island 3 of a leadframe, wire bond of the lead 4 is carried out to the bonding pad of a semiconductor chip 1 with a wire 5, a leadframe is set in the metal mold possessing a desired appearance configuration, an epoxy resin is poured in into metal mold, and it is manufactured by stiffening this.

[0003] On the other hand, the semiconductor device built into not knowing and these in the place in which small [to various electronic equipment] and the wave of lightweight-izing remain will also be expected much more large capacity, high efficiency, and high integration. Then, in one package which existed as the way of thinking (for example, JP55-111517A), the technique which closes two or more semiconductor chips attracted attention, and the implementation-ized motion came out from before. That is, as shown in drawing 6 (B), 1st semiconductor chip 1a is fixed on an island 3, the bonding pad and lead 4 which fix 2nd semiconductor chip 1b and correspond on 1st semiconductor chip 1a are connected by bonding wires 5a and 5b, and it closes by resin 2.

[0004]

[Problem(s) to be Solved by the Invention] However, the case where the configuration of a semiconductor chip does not necessarily become a convenient combination with some combination of a circuit function arises. If a chip is newly designed only in order that convenience may improve, it will lead to a new cost rise. Drawing 7 shows an inconvenient combination which the invention-in-this-application person tried to contain this time. 1st semiconductor chip 1a has a rectangle, and 2nd semiconductor chip 1b has the rectangle constituted only from the side longer than the short story of 1st semiconductor chip 1a. Although it is possible to pile up so that the bonding pad of 1st semiconductor chip 1a may not be hidden as it is such a combination, a part of 2nd semiconductor chip 1b will overflow the 1st semiconductor chip 1a inevitably. Since this overflowing part (lobe 6) does not have support of an island 3 or 1st semiconductor chip 1a, when a wire is struck to the bonding pad on a lobe 6 in a wire bond process, it has the trouble that cannot fully transmit junction energy but the bond strength of a ball becomes inadequate.

[0005]

[Means for Solving the Problem] The heating stage which this invention was accomplished in view of the conventional technical problem mentioned above, supports the 1st semiconductor chip, and does not support the lobe of the 2nd semiconductor chip is prepared. In case wire bond is performed on this heating stage, it compares with the impact load and junction energy which are given to the 1st bonding wire located on a heating stage. By making into size the impact load and junction energy which are given to the 2nd bonding pad located in said lobe, the manufacture approach of a semiconductor device which can perform wire bond by a series of activities is offered.

[0006]

[Embodiment of the Invention] The gestalt of the 1 operation of this invention to the following is explained to a detail, referring to a drawing. First, the semiconductor device after completion is explained. First, AA line sectional view of drawing 4 (A) and drawing 5 (B) of the (A) plan in which drawing 4 (A) and (B) show the semiconductor device after completion of this invention, (B) rear-face Fig., and drawing 5 (A) are BB line sectional views of drawing 4 (A).

[0007] 10 and 11 show the 1st and the 2nd semiconductor chip respectively among drawing. In the last process, various kinds of activity and a passive circuit element are formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11. The bonding pad 12 for external connection is formed in two sides in which the 1st and the 2nd semiconductor chip 10 and 11 carry out phase opposite. Passivation coats (not shown), such as a silicon nitride, silicon oxide, and a polyimide system insulator layer, are formed so that each bonding pad 12 may be covered, and opening of the upper part of a bonding pad 12 is alternatively carried out for electrical connection.

[0008] Die bond of the 1st semiconductor chip 10 was carried out by electric conduction or the insulating adhesives 14 of an epoxy system on the island 13 of a leadframe, and it has fixed the 2nd semiconductor chip 11 with the epoxy insulating system adhesives 15 on said passivation coat of the 1st semiconductor chip 10 further. Wire bond of the end of the bonding wires 16, such as a gold streak, is carried out to the front face of each semiconductor chip 10 and the bonding pad 12 of 11 front faces, and wire bond of the other end of a bonding wire 16 is carried out to the point of the lead terminal 17 for external derivation.

[0009] By the heat-curing resin 18 of an epoxy system, the mold of the point of the 1st, the 2nd semiconductor chip 10 and 11, and a lead terminal 17 and the principal part containing a bonding wire 16 is carried out, and a perimeter is package-ized. A lead terminal 17 is drawn from the location of the abbreviation one half of the thickness of resin 18 of a package side attachment wall outside. With reference to drawing 5 (A), the upper resin thickness t1 and the lower resin thickness t2 are almost equivalent thickness from lead 17. And the lead terminal 17 drawn by the exterior of resin 18 is bent by the end lower part, is bent again, and foaming is carried out to the Z character mold. This foaming configuration is a configuration for the surface mount

conduction pattern formed in the printed circuit board.

[0010] This semiconductor device by performing joggling processing to the tie rod 19 for maintenance first prepared in four corners of an island 13 in the state of the leadframe. The height of the height of an island 13 and the point of a lead terminal 17 is made to differ. Die bond of the 1st and the 2nd semiconductor chip 10 and 11 is carried out to an island 13. So that wire bond of a bonding pad 12 and the point of a lead terminal 17 may be carried out and the front face of a cavity which the rear face of an island 13 prepared subsequently to vertical metal mold may be contacted. On both sides of the frame and lead terminal 17 of a leadframe, it can fix with vertical metal mold, and can obtain by pouring in and stiffening resin in the *** condition.

[0011] Said leadframe is what fabricated each parts of an island 13 and lead terminal 17 grade by etching or punching processing the tabular material of the copper system whose board thickness is 150–200micro, or an iron system, and each parts are held at the frame of a leadframe until it is cut after a mold process. Height of the frame [the point and said frame], of a lead terminal 17 corresponds in the condition of having been held, joggling processing only of the island 13 is carried out, and height differs. For the reason, with the equipment after completion, the tie rod 19 holding an island 13 is bent up in the resin 18 interior, and extends again almost horizontally in the location which is in agreement with the height of lead 14, and a cutting plane exposes and carries out termination to resin 18 front face.

[0012] Like the erector, each semiconductor chips 10 and 11 grind a rear face by the back grinding process immediately before, and make it thickness (250–300micro). The board thickness (illustration t3 of drawing 5 (A)) of a lead terminal 17 is about 130micro. since it forms in coincidence from a tabular ingredient, the board thickness of an island 13 is also the same value, and this value maintains the mechanical strength of each parts — it is the value of a limitation mostly.

[0013] An island 13 is smaller than the 1st semiconductor chip 10, and is supporting only a part for the core of the 1st semiconductor chip 10. The diver 19 who supports an island 13 extends horizontally as he can bypass the 2nd semiconductor chip 11, and as mentioned above, he is bent toward the resin 18 interior. Island 13 rear face is exposed to the front face of resin 18, it bypasses and the rear face is exposed also for said extending part of a tie rod 19.

[0014] The 1st semiconductor chip 10 possesses the configuration as [for example, whose a long side x shorter side is 3.0mmx8.5mm] and where a rectangle is long and slender, and possesses a configuration [like 5.6mmx6.5micro] almost near a square whose 2nd semiconductor chip 11 is. Since both of the sides of the 2nd semiconductor chip 11 are longer than the shorter side of the 1st semiconductor chip 10, when it piles up, it has the lobe 20 protruded from the 1st semiconductor chip 10. Since some bonding pads 12 will hide if the 1st and the 2nd semiconductor chip 10 and 11 are made reverse and piled up, in the example of this magnitude, it cannot pile up conversely. The island 13 has about [2.0mmx4.0mm] magnitude.

[0015] Below, the wire bond process of the semiconductor device mentioned above is explained at a detail. Drawing 1 is the (A) top view for explaining the 1st wire bond process, (B) CC line sectional view, and (C) DD line sectional view. First, amount supply of the conductive or insulating adhesives 14 is suitably carried out on an island 13, the 1st semiconductor chip 10 is installed on it, adhesives 14 are solidified with baking, the 1st semiconductor chip 10 is fixed, subsequently to the 1st semiconductor chip 10 top amount supply of the insulating adhesives 15 is carried out suitably, the 2nd semiconductor chip 11 is installed on it, adhesives 15 are solidified with baking, and the 2nd semiconductor chip 11 is fixed.

[0016] Subsequently, on the heating stage 21, alignment of the leadframe which fixed each chips 10 and 11 is carried out, and it is installed. In the heating stage 21, the part which supports a lead terminal 17, and the part which supports the 1st semiconductor chip 10 are provided. Let the part which can contact the rear-face side of the 1st semiconductor chip 10 among these parts to support be the contact section 22. Island 13 rear face was not supported but is missed to the crevice 23. There is also no part which supports the 2nd semiconductor chip 11. In addition, in order to avoid the weld flash generated at the edge of a leadframe or a silicon chip, the contact section 22 of the heating stage 21 is retreating only a few from the edge of a lead terminal 17 or the 1st semiconductor chip 10.

[0017] The contact section 22 which supports the 1st semiconductor chip 10 touches the rear face of the 1st semiconductor chip 10 in the field which avoided the island 13 and the tie rod 19 and was shown with the slash of drawing 1 (A). The bonding pad 12 which the bonding pad 12 of the 1st semiconductor chip 10 and the bonding pad 12 of the 2nd semiconductor chip 11 are located in the upper part of the contact section 22, and is located in the upper part of the contact section 22 at this appearance is defined as the 1st bonding pad 12a. The contact section 22 is not located but the bonding pad 12 which receives and is located in the lobe 29 of the 2nd semiconductor chip 11 defines the bonding pad 12 whose space only spreads and which is not located in the upper part of the contact section 22 as the 2nd bonding pad 12b in this way at the lower part.

[0018] And while heating the heating stage 21 at 200 degrees C or more, a wirebonding process is performed by striking 1st Bond to a bonding pad 12 side, and striking 2nd Bond to a lead terminal 17 side. drawing 2 — a wire — bond — a process — setting — the — two — a bonding pad — 12 — b — a wire — bond — carrying out — the time — a condition — being shown — (A —) — a top view — (B —) — a sectional view — it is . Wire bond the tip of a golden wire which was first inserted in the through tube of the core of a capillary 24 and whose diameter is 30phi (micrometer) extent. The golden ball 25 of diameter 70phi extent is formed by carrying out melting momentarily with means, such as a spark. At the same time carry out alignment of the capillary 24 to the X-axis and Y shaft orientations; it makes it descend to them and it presses the golden ball 25 at capillary 24 tip by the capillary 24. An ultrasonic output is given to the contact part of the golden ball 25 and bonding pad 12b through a capillary 24, and the golden ball 25 is fixed on a bonding pad 12b front face according to the synergistic effect with the heat energy supplied from the heating stage 21. Then, while making a capillary 24 move up, moving onto a lead terminal 17 with a predetermined locus and pressing and pasting up on a lead terminal 17; it is carried out by cutting a wire by part for the point of a capillary 24.

[0019] Since pad 12a is heated by suitable temperature since heat conduction from the heated contact section 22 is good in 1st bonding pad 12a located on the contact section 22 of the heating stage 21, and the contact section 22 functions as a receptacle part to press of a capillary 24. The good contact to the golden ball 25 and pad 12a can be acquired. On the other hand, in the 2nd bonding pad 12b which is not located on the contact section 22 of the heating stage 21, since heat conduction runs short since it separates from the contact section 22, and there is "no support" over the pressurization of a capillary 24, the great portion of junction energy transmitted through the capillary 24 escapes, and the adhesive property of the golden ball 25 and bonding pad 12b gets worse.

[0020] Then, in order to compensate this invention with the junction energy which escapes with lack of said welding pressure about the 2nd bonding pad, aggravation of junction nature is prevented by enlarging the impact load of a capillary 24 and enlarging the initial ball rate of strain at the time of landing of a capillary 24, and making it increase more nearly intentionally than the power given to 1st bonding pad 12a using the quick ultrasonic dispatch configuration of starting.

[0021] Output-power W of a capillary 24 can be expressed with a degree type if a lost part which escapes on a chip or a frame is disregarded.

$W = \mu P \upsilon$ (formula 1)

However, μ is [welding pressure and υ of coefficient of friction between a ball and a pad and P] the velocity of vibration of a capillary 24, and the velocity of vibration υ can be expressed with the product ($\upsilon = \omega \zeta$) of angular frequency ω ($\omega = 2\pi f$) and an amplitude ζ . Therefore, the junction energy E which a capillary 24 gives to a part for a joint becomes equal to the amount of integrals to time amount change of output-power W .

[0022] Usually, since the impact load of a capillary 24 influences greatly the damage to the semiconductor device near the bonding pad 12 lower part, it has been controlled by the 1st bonding pad 12a to become necessary minimum. However, since the loss is large even if just the static load of the capillary 24 after the golden ball 25 (initial ball) formed at the tip of a wire lands on a pad 12b front face, since there is "no support" in the lower part at the 2nd bonding pad 12b of crushing deformation of the golden ball 25 is inadequate and it applies output power in this condition, sufficient adhesion cannot be performed. Then, the impact load to 2nd bonding pad 12b is made larger about 10 to 15% than the thing of 1st bonding pad 12a so that crushing deformation of the golden ball 25 may become enough. In addition, an impact load is controlled with the welding pressure of the capillary 24 when contacting the golden ball 25.

[0023] Furthermore, although energy is given to the 1st bonding pad 12a by the wave of a comparatively loose standup in consideration of the damage to a component with reference to drawing 3 as a wave configuration of the ultrasonic oscillation impressed to a capillary 24 where a static load is added, the junction energy given into the same time amount is increased by giving wave-like supersonic vibration which impresses maximum amplitude promptly after landing to the 2nd bonding pad 12b. Modification of finishing 2nd bonding pad 12b altogether previously, or performing it at random in order of the list of a pad conversely, which carries out by changing the program of wirebonding equipment, and performs 2nd bonding pad 12b after carrying out wire bond of the whole of the 1st bonding pad 12a is possible for modification of the amount of energy. Any case performs the 1st and the 2nd bonding pad 12a and 12b in the condition of having placed on one heating stage 21.

[0024] In addition, from the contact section 22, the adhesive property got worse so that the location of 2nd bonding pad 12b became far, but when this distance (illustration 26 of drawing 2 (A)) was 2.0mm or less in general according to the experiment, it checked that one processing was possible only by modification of energy. Since this invention can process continuously the 1st and the 2nd bonding pad 12a and 12b on one heating stage 21 by increasing the junction energy impressed to increase and the capillary 24 of the impact load added to 2nd bonding pad 12b as explained above, a production process can be simplified.

[0025]

[Effect of the Invention] As explained above, by increasing alternatively the junction energy impressed to 2nd bonding pad 12b, this invention processes continuously the 1st and the 2nd bonding pad 12a and 12b on one heating stage 21, and has the advantage which can simplify a production process.

[0026] Therefore, it has the advantage which can be manufactured comparatively cheaply, without making a production process complicated, even if it is the combination of a special chip which produces a lobe 20. And since it can respond only by changing the program of bonding equipment, it can carry out easily.

[Translation done.]

2015年12月15日

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are the (A) top view for explaining this invention, (B) CC line sectional view, and (C) DD line sectional view.

[Drawing 2] They are the (A) top view for explaining this invention, and the (B) sectional view.

[Drawing 3] It is a wave form chart for explaining this invention.

[Drawing 4] They are the (A) plan for explaining this invention, and (B) rear-face Fig.

[Drawing 5] It is a sectional view for explaining this invention.

[Drawing 6] It is a sectional view for explaining the conventional example.

[Drawing 7] It is a sectional view for explaining a technical problem.

[Translation done.]

1. The drawing is a perspective view of a mechanical part.

2. The drawing is a perspective view of a mechanical part.

FIG. 1. PERSPECTIVE VIEW OF DRAWING

FIG. 1 is a perspective view of a mechanical part. The part is a rectangular block with a rectangular cutout in the top surface. The cutout is rectangular and is located in the center of the top surface. The part is shown in a perspective view, with the front face, top surface, and right side visible. The front face is a rectangle with a rectangular cutout in the center. The top surface is a rectangle with a rectangular cutout in the center. The right side is a rectangle. The part is shown in a perspective view, with the front face, top surface, and right side visible. The front face is a rectangle with a rectangular cutout in the center. The top surface is a rectangle with a rectangular cutout in the center. The right side is a rectangle.

[Perspective view]

THIS PAGE BLANK (USPTO)

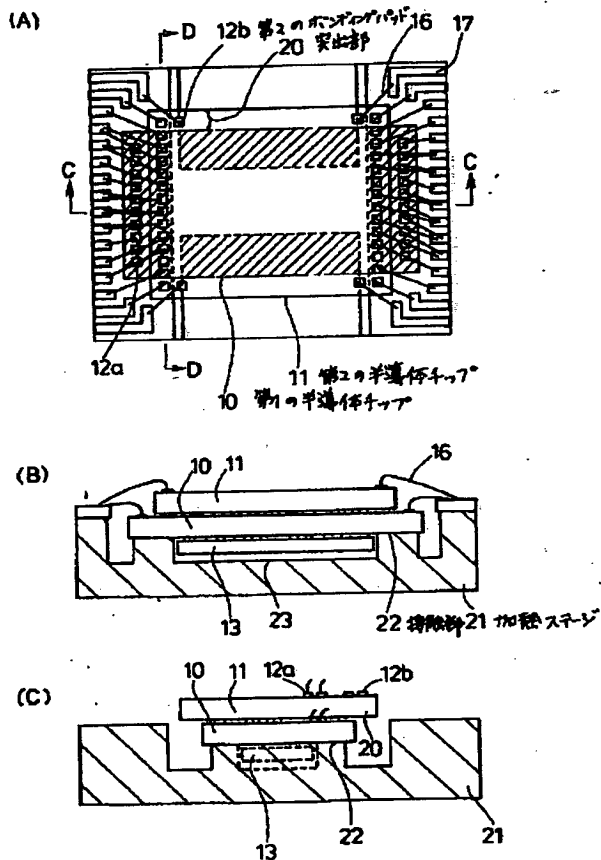
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

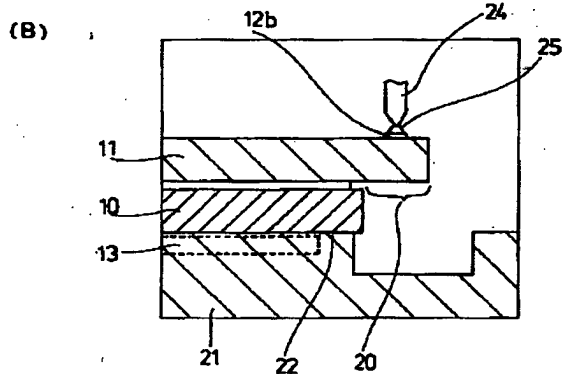
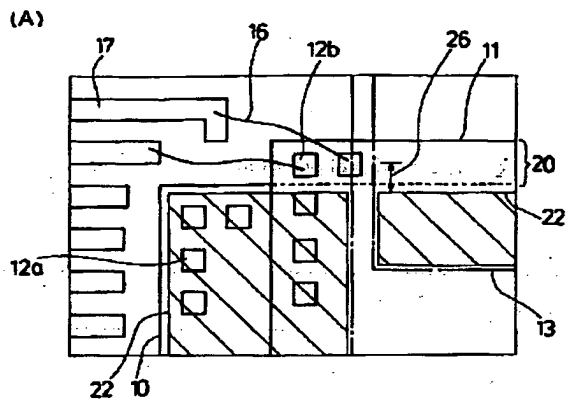
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

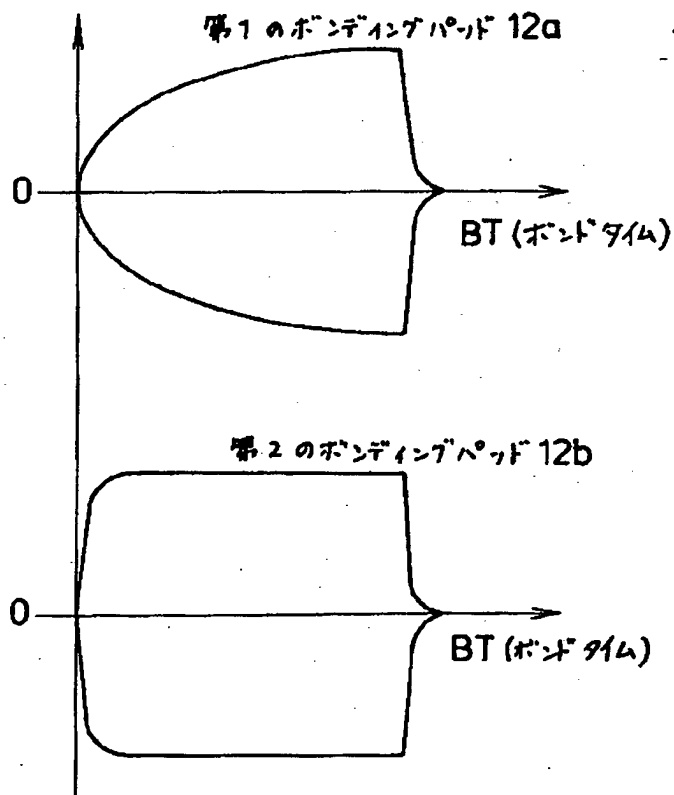


[Drawing 2]

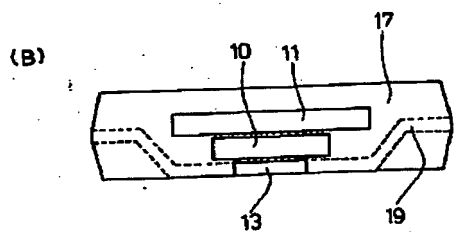
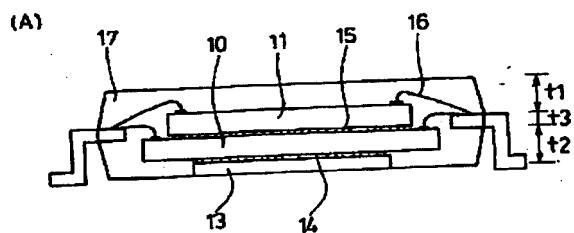


[Drawing 3]

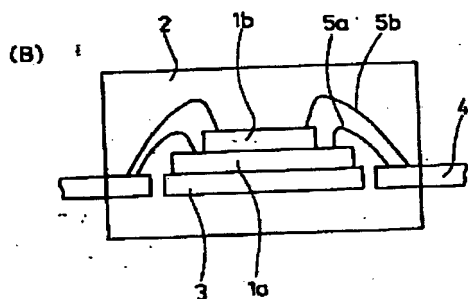
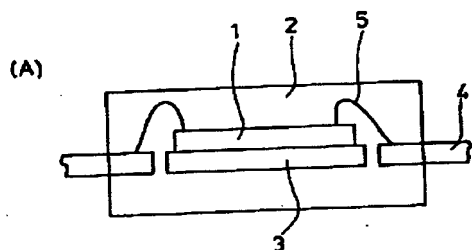
BP(ボンドパター)



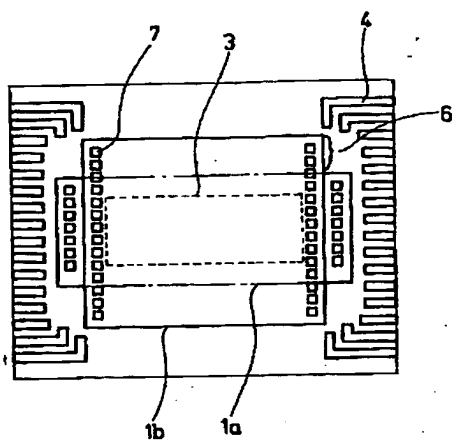
[Drawing 5]



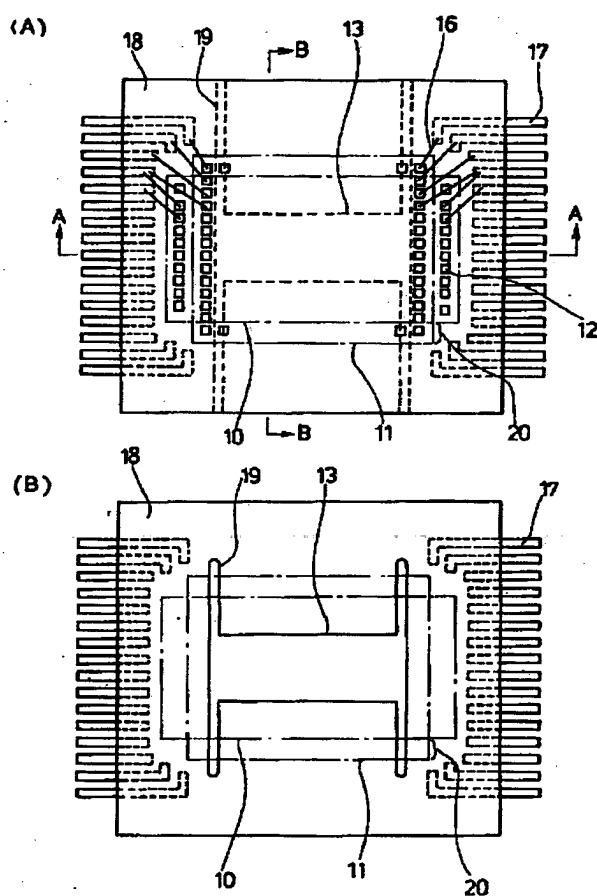
[Drawing 6]



[Drawing 7]



[Drawing 4]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

